

⑨ 日本国特許庁(JP)

⑩ 実用新案出願公開

⑫ 公開実用新案公報(U) 昭61-68533

⑬ Int.Cl. ⁴	識別記号	庁内整理番号	⑭ 公開 昭和61年(1986)5月10日
H 03 M 1/08		6832-5J	
// G 01 R 19/25		7241-2G	
31/26		7359-2G	審査請求 未請求 (全 頁)

⑮ 考案の名称 AD変換器

⑯ 実 願 昭59-150788

⑰ 出 願 昭59(1984)10月5日

⑱ 考 案 者 加 藤 俊 介 東京都練馬区旭町1丁目32番1号 クケダ理研工業株式会社内

⑲ 出 願 人 株式会社アドバンテス ト 東京都練馬区旭町1丁目32番1号

⑳ 代 理 人 弁理士 草 野 卓

明 細 書

1. 考案の名称

A D 変換器

2. 実用新案登録請求の範囲

1. 回路網の基準電位を遠隔点の電位に維持するためのバッファと、他の回路から与えられる被測定電圧をA D変換するA D変換器とを具備し、このA D変換器のコモン端子を電源の共通電位点に接続すると共に上記A D変換器の前段に電源の共通電位点の電位を基準とする被測定電圧を得るためのアナログ減算回路を設けて成るA D変換器。

3. 考案の詳細な説明

「産業上の利用分野」

この考案は電圧又は電流測定器等に利用することが出来るA D変換器に関する。

「従来技術」

第3図に従来のA D変換器を示す。この例ではI Cテストの直流動作試験に用いる電圧、電流測定用A D変換器の場合を例示して示す。

図中100はパフォーマンスボードを示す。こ

(1)

のパフォーマンスボード 100 に被試験 IC 101 が装着され、この被試験 IC 101 の直流特性を試験する状態を示す。

IC の直流特性試験は大別すると電流印加電圧測定モードと、電圧印加電流測定モードとがある。

電流印加電圧測定モードは被試験 IC の端子間（一方の端子はコモン端子の場合が多い）に電流源を接続し、端子間に所定の電流を流したときその端子間に予定した電圧が発生するか否かを試験する試験モードを指す。

また電圧印加電流測定モードは被試験 IC の端子間に所定の電圧を印加した状態で IC に流入する電流値が予定した値となっているか否かを判定する試験モードを指す。

図の例では電圧印加電流測定モードの接続状態を示す。つまり第 3 図において 200 は DA 変換部、300 は被試験 IC 101 に所定の電圧を印加する電圧発生回路、400 は電圧発生回路 300 から被試験 IC 101 に流入する電流値を AD 変換するための AD 変換部を示す。

(2)

D A 変換部 2 0 0 は制御器 5 0 0 から与えられるデジタル信号を変換し、その D A 変換出力を電圧発生回路 3 0 0 に与える。電圧発生回路 3 0 0 は増幅器 3 0 1 と、この増幅器 3 0 1 の帰還回路に接続したバッファ増幅器 3 0 2 と、共通電位 C M の電位を決めるバッファ増幅器 3 0 3 と、増幅器 3 0 1 から流出する電流値を測定する電流検出用抵抗器 3 0 4 とによって構成される。

増幅器 3 0 1 は電流検出用抵抗器 3 0 4 を介して端子 T₁ と T₂ 間に所定の電圧を印加する。端子 T₁ と T₂ に印加された電圧はケーブル 6 0 0 を通じてパフォーマンスボード 1 0 0 に与えられる。増幅器 3 0 2 は端子 T₂ と T₃ の間に発生した電圧を高インピーダンスで取り出して増幅器 3 0 1 の反転入力端子に帰還し、増幅器 3 0 1 が D A 変換部 2 0 0 から与えられた電圧と対応した電圧を正確に出力するように動作する。端子 T₄ は電源 E の共通電位 ECM に接続し増幅器 3 0 1 の出力電流の帰路を構成している。

この回路において回路網の共通電位点 C M の電

(3)

位は被試験 I C 1 0 1 の一方の端子 PCM と等しい電位に保持しなければならない。ケーブル 6 0 0 は比較的長くなるためそこにはわずかな線路抵抗が存在する。このためにバッファ増幅器 3 0 3 によって高インピーダンスで端子 PCM の電位を取り込み、ケーブルの直流抵抗に影響されることなく回路網の共通電位点 C M の電位を端子 PCM の電位と等しくなるように制御している。このようなバッファ増幅器は電圧発生回路 3 0 0 の外に D A 変換部 2 0 0 と A D 変換部 4 0 0 に 2 0 1 及び 4 0 1 をして示すように各回路毎に設けられている。

電圧発生回路 3 0 0 において電流検出用抵抗器 3 0 4 に発生する電圧を差動増幅器 3 0 5 によって取出してその電圧を A D 変換部 4 0 0 に与える。

A D 変換部 4 0 0 は入力切換スイッチ 4 0 2 , 4 0 3 とバッファ増幅器 4 0 4 , 4 0 5 及び A D 変換器 4 0 6 と、オフセットデータ取込用レジスタ 4 0 7 と測定データ取込用レジスタ 4 0 8 と、演算器 4 0 9 とから構成される。

入力切換スイッチ 4 0 2 はバッファ増幅器 4 0 4

(4)



の入力端子をA D変換部400の共通電位点CMに接続するスイッチを示す。この入力切換スイッチ402をオンにすることによりバッファ増幅器404に共通電位点CMの電位を与え、このときA D変換器406に与えられる電圧をA D変換する。このA D変換出力はバッファ増幅器404、405とA D変換器406のオフセット電圧に相当し、そのA D変換出力をオフセット取込用レジスタ407に収納する。

スイッチ402をオフにし、スイッチ403をオンにすることによりバッファ増幅器404に電圧発生回路300に設けた差動増幅器305の出力電圧を与え、A D変換器406において、電流検出用抵抗器304を流れる電流量に対応した電圧値をA D変換する。

ここで真の測定値はデータ取込用レジスタ408に収納したデータ値 X_1 とオフセット取込用レジスタ407に収納したデータ値 X_2 の差の値 $X_1 - X_2$ となる。この演算を演算器409によって実行し、真の電流測定値を求める。

(5)

「考案が解決しようとする問題点」

上述したように各部の回路 2 0 0 , 3 0 0 , 4 0 0 はバッファ増幅器 2 0 1 , 3 0 3 , 4 0 1 によって共通電位点 C M の電位を遠隔点に位置する被試験 I C 1 0 1 の端子 PCM の電位となるように制御されている。

この状態において特に A D 変換器 4 0 6 のコモン端子電流 I C M は A D 変換出力の変化に伴って変化する。この電流変化は共通電位点 C M を通じてバッファ増幅器 4 0 1 に吸収され、共通電位点 C M の電位変動を抑制している。

然し乍らコモン端子電流 I C M が高速度に変化したとするとバッファ増幅器 4 0 1 も高速度で変化しなければならない。このためバッファ 4 0 1 は高速応答が可能な増幅器を用いなければならないが、高速応答が可能な増幅器は高価なものとなる。

またオフセット電圧を測定し、そのオフセット電圧を電圧測定値から減算する場合、オフセット電圧測定時点と被測定電圧を測定する時点に大きな時間差が有ると誘導ノイズ等の影響により誤差

(6)

が大きく発生する欠点がある。

つまり第4図に示すようにバッファ増幅器404においてオフセット電圧に誘導ノイズNSが混入したとすると、時点 t_1 でオフセット電圧を測定し、続いて時点 t_2 で被測定電圧を測定したとすると、その間の測定誤差は小さい。然し乍ら時点 t_3 で被測定電圧を測定したとすると大きな誤差が発生する。

このようにオフセット電圧の測定と被測定電圧の測定の時間差を小さくすれば誘導ノイズによる影響を受けることなく精度よく被測定電圧をAD変換することができる。

然し乍らオフセット電圧測定と被測定電圧測定を短い時間間隔で行なうにはバッファ増幅器401を高速応答形の増幅器を用いなければならない。

「問題点を解決するための手段」

この考案ではAD変換器406のコモン端子電流ICMをバッファ増幅器401を通すことなく直接電源の共通電位点ECMに帰路させる構造とした

(7)

ものである。

つまり A D 変換器 4 0 6 のコモン端子を電源の共通電位点 ECM に直結すると共に、A D 変換器 4 0 6 の前段にアナログ減算器を設け、このアナログ減算器によって電源の共通電位点 ECM を基準としてバッファ増幅器 4 0 4 , 4 0 5 と A D 変換器 4 0 6 のオフセット電圧及び被測定電圧を測定できる構造としたものである。

この考案の構造によれば A D 変換器 4 0 6 のコモン端子電流は電源の共通電位点 ECM に直接帰路し、バッファ増幅器 4 0 1 を流れない。よってバッファ増幅器 4 0 1 の応答速度が遅くてもその影響を受けながら A D 変換器 4 0 6 を高速度で動作させることができる。

また A D 変換器 4 0 6 の前段にアナログ減算器を設け、アナログ減算器によって回路の基準電位点 CM の電圧と被測定電圧とを減算し、電源の共通電位点の電位を基準とする電圧信号に変換し、この電圧信号を A D 変換するように動作する。

「実施例」

(8)

第1図にこの考案の一実施例を示す。図中第3図と対応する部分には同一符号を付して示す。

この実施例で特徴とする構造はA/D変換器406のコモン端子を電源Eの共通電位点ECMに直結すると共に、A/D変換器406の前段側にアナログ減算器410を設けた点である。

アナログ減算器410はこの例では差動増幅器を用いた場合を示す。アナログ減算器の二つの入力端子にはバッファ増幅器411と412及び抵抗器413、414から成る直列回路を接続し、バッファ増幅器411と412の入力端子をスイッチ415、416の共通接続点及びスイッチ417、418の共通接続点に接続する。またアナログ減算器410を構成する差動増幅器の非反転入力端子を電源Eの共通接続点ECMに接続する。

スイッチ415と417の他端は共通接続して回路の共通電位点CMに接続する。スイッチ416は電圧発生回路300の差動増幅器305の出力側に接続する。またスイッチ418は電圧発生回路300の共通電位点CMに接続する。

(9)

「 作 用 」

この回路構造によれば例えばスイッチ 4 1 5 , 4 1 7 をオンに操作するとバッファ増幅器 4 1 1 , 4 1 2 の入力端子が相互に共通接続され回路の共通電位点 CM に接続される。

この状態で A D 変換器 4 0 6 はバッファ増幅器 4 1 1 及び 4 1 2 、アナログ減算器 4 1 0 、 A D 変換器 4 1 0 のオフセット電圧を A D 変換し、この A D 変換出力をオフセットデータ取込用レジスタ 4 0 7 にオフセットデータとして取込む。

次にスイッチ 4 1 5 , 4 1 7 をオフに戻し、スイッチ 4 1 6 , 4 1 8 をオンにする。この状態ではバッファ増幅器 4 1 1 と 4 1 2 に電流検出用抵抗器 3 0 4 に発生する電圧が与えられる。つまり電圧発生器 3 0 0 に設けた差動増幅器 3 0 5 の出力端子と共通電位点 CM との間には電流検出用抵抗器 3 0 4 に発生する電圧に対応した値が出力される。この電圧をバッファ増幅器 4 1 1 と 4 1 2 を通じてアナログ減算器 4 1 0 の二つの入力端子に与えることによりアナログ減算器 4 1 0 の出力側

に電源 E の共通電位点 ECM を基準電位とする電圧が得られ、A D 変換が正常に行なわれる。

「考案の効果」

上述したようにこの考案ではアナログ減算器 4 1 0 のコモン端子を電源 E の共通電位点 ECM に直結した構造としたからアナログ減算器 4 0 6 のコモン端子電流 ICM は電源 E に直接帰路する。よってコモン端子電流 ICM は高速度に変化することができ、高速 A D 変換を可能とする。よって被測定電圧に第 4 図に示したような誘導ノイズ NS が重畳していてもオフセットデータの取込時点と測定データの取込時点をわずかな時間差にすることができる。この結果誘導ノイズ NS に影響されない高精度の測定結果を得ることができる。

「考案の変形実施例」

第 2 図にこの考案の変形実施例を示す。この例ではアナログ減算回路 4 1 0 としてバッファ増幅器 4 1 2 を反転増幅器とし、その反転出力を増幅器 4 1 5 の入力点で加算する構造とした場合を示す。

(11)

4. 図面の簡単な説明

第1図はこの考案の一実施例を示す接続図、第2図はこの考案の変形実施例を説明するための接続図、第3図は従来技術を説明するための接続図、第4図は従来技術の不都合を説明するための波形図である。

400 : A/D変換部、401 : バッファ、406 : A/D変換器、ICM : コモン端子電流、CM : 回路の共通電位点、ECM : 電源の共通電位点、410 : アナログ減算回路。

実用新案登録出願人 タケダ理研工業株式会社

代理人 草野 卓

図 1

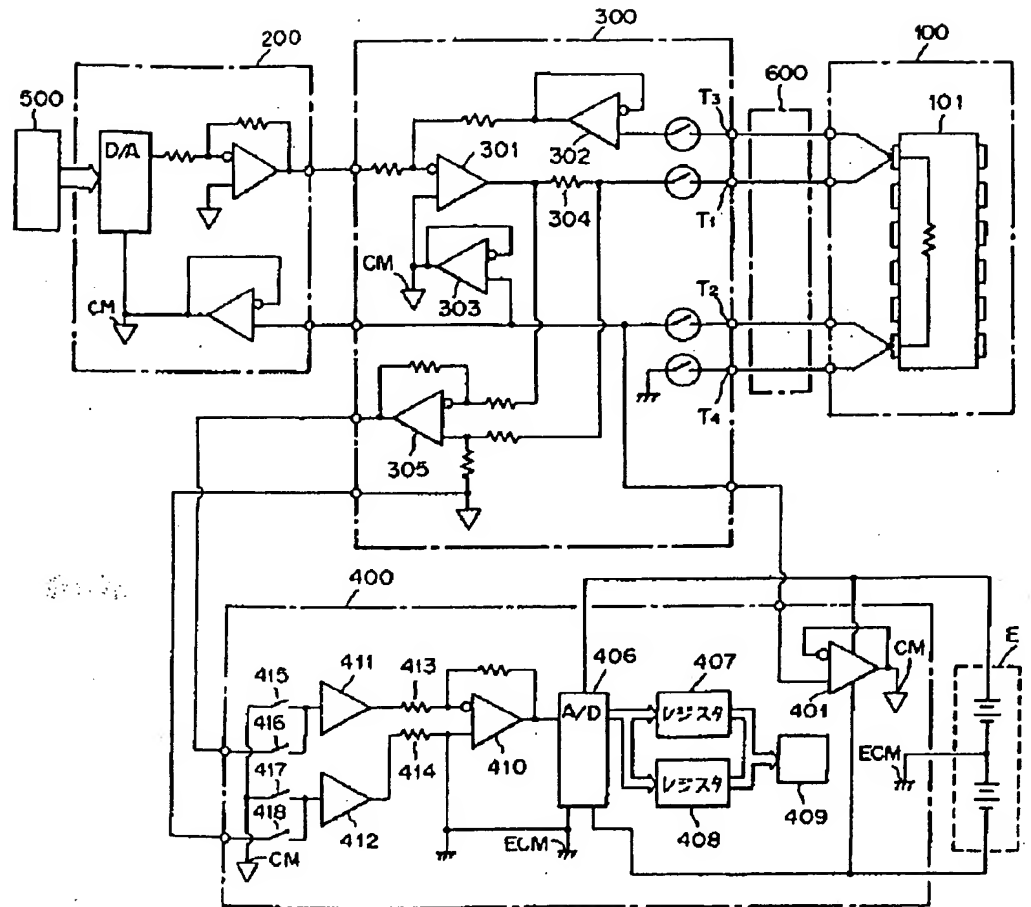


图 2 为

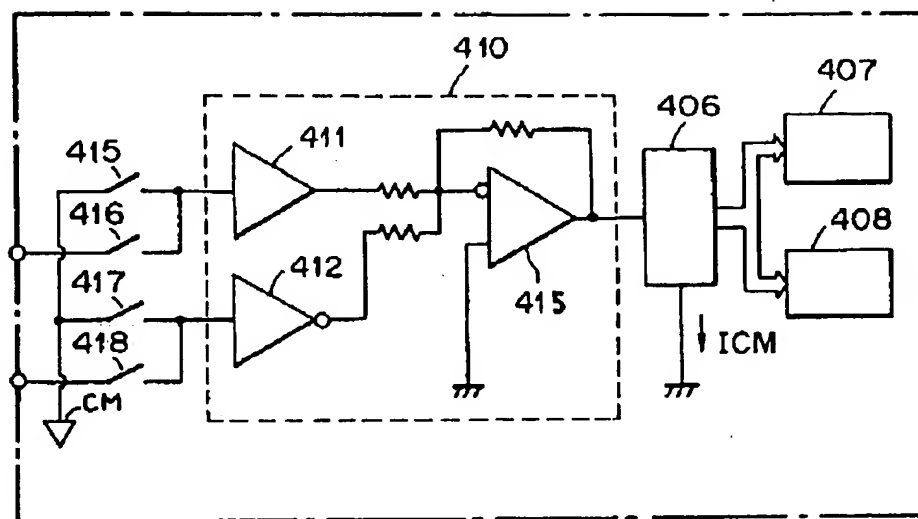


图 4 为

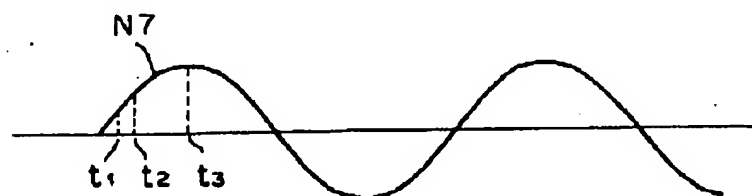


図 3

